

## **Implementación de un generador de señales por síntesis digital directa con VHDL**

Jorge Acosta, Reyle Mar y Mario Ibarra

J. Acosta, R. Mar y M. Ibarra

Universidad Politécnica del Centro, Carretera Federal Villahermosa-Teapa Km. 22.5. Tumbulushal, Centro, Tabasco.  
C.P. 86290. Tel:(993)3125893.

Universidad de Guanajuato División de Ingenierías, Carretera Salamanca-Valle de Santiago Km 3.5+1.8 Comunidad de Palo Blanco, C.P 36885 Salamanca, Gto.

[jacostalejandro@gmail.com](mailto:jacostalejandro@gmail.com)

M. Ramos.,V.Aguilera.,(eds.). Ciencias de la Ingeniería y Tecnología, Handbook -©ECORFAN- Valle de Santiago, Guanajuato, 2013.

## Abstract

En este trabajo se propone el desarrollo de un generador de funciones utilizando como técnica de diseño la síntesis digital directa (DDS) la cual permite la generación de una gran variedad de señales (señales senoidales, rampa, triangular, cuadrada, etc.), he implementado en la tarjeta Nexys 2 la cual cuenta con un FPGA, el Spartan 3E de Xilinx. La DDS cuenta con la característica de mapear los valores colocados en una LUT (look-up table) en relación a los valores entregados por el acumulador de fase. Así también se pretende mostrar las virtudes que ofrece los FPGA como dispositivos reprogramables o reconfigurables.

## 16 Introducción

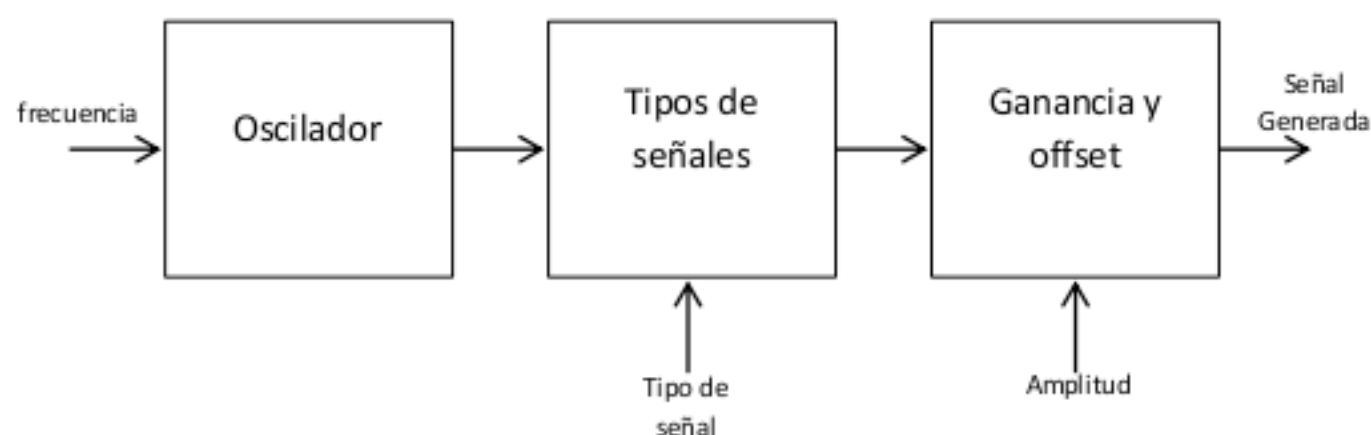
Se denomina generador de señal a toda fuente de señal electrónica cuyas características forma de onda, frecuencia, tensión, etc. Se pueden establecer a valores fijos o se pueden controlar dentro de unos límites especificados [1].

Los generadores son utilizados en un sinnúmero de aplicaciones, o de manera experimental por ejemplo para obtener la respuesta en frecuencia o temporal de amplificadores, analizar su linealidad, caracterizar y sintonizar filtros, estudiar la sintonía de receptores, proporcionar señales portadoras ya sea para modulaciones digitales o analógicas, etc.

La estructura básica de los generadores señales se muestra en la figura 1, en principio cuenta con tres bloques funcionales, la primera etapa sería: un oscilador (generador) es el que da la posibilidad de cambiar la frecuencia o periodo de trabajo; una segunda etapa que determina la forma de onda de la señal; y una tercera etapa la salida donde se ajusta la amplitud y el nivel de continua de la señal entregada (offset). Independientemente de las técnicas utilizadas para la generación de señales, estas etapas siguen existiendo.

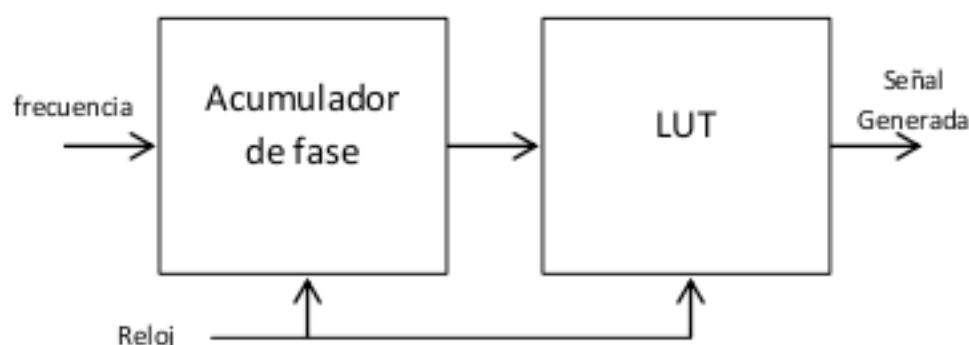
La síntesis digital directa (DDS) es un método de elaboración de formas de onda analógicas generalmente del tipo senoidal. Un sintetizador digital directo provee muchas ventajas importantes ya que puede ofrecer la conmutación rápida entre las frecuencias de salida, resolución de frecuencias en el orden de los microhertz esto depende de la longitud de bits del acumulador de fase, operación sobre un amplio espectro de frecuencias y capacidad de control de fase con precisión de miligrados.

**Figura 16** Elementos básicos para un generador de señal



La síntesis Digital directa cuenta con dos bloques básicos estos son el acumuladores de fase y la LUT o ROM en la cual se guardarían los valores muestreados y correspondientes a las diferentes señales a generar (figura 16.1). Otros atributos inherentes de la DDS incluye eliminar la necesidad de calibrar el sistema manualmente, derivado de los problemas asociados con la edad de los componentes y los cambios en temperatura. Estas características los hacen ideales para diversas áreas como la generación de funciones de alta calidad y modulación digital de alta velocidad.

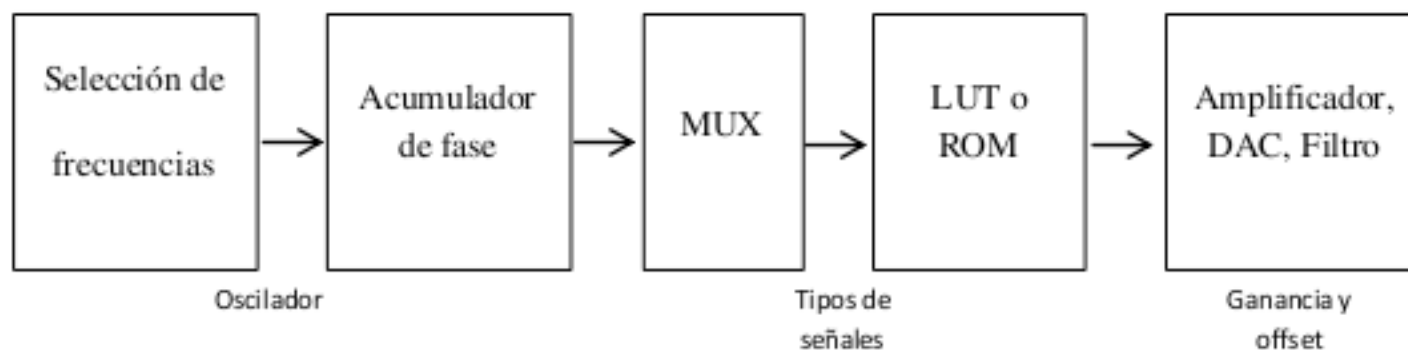
**Figura 16.1** Elementos básicos para la DDS



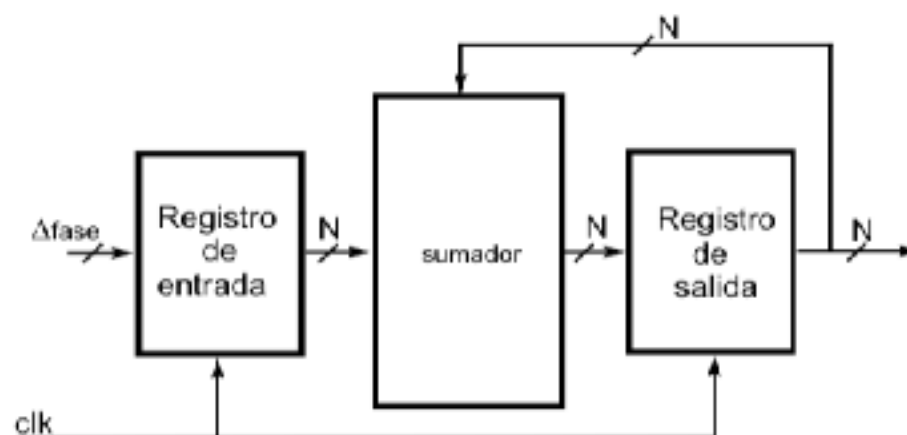
## 16.1 Método

La estructura para el generador de señales aleatorias propuesto en el proyecto se puede visualizar en el diagrama de bloques de la figura 16.2. La primera etapa corresponde a la selección de frecuencia y el acumulador de fase, la segunda etapa contempla el multiplexado y LUT o ROM y la última etapa corresponde a la conversión de los valores digitales analógicos junto con la etapa de amplificación y filtrado.

**Figura 16.2** Esquema general



**Figura 16.3** Acumulador de fase



Para la selección de la frecuencia se generó una máquina de estados y se habilitaron las botoneras del Nexys 2, Un diagrama a bloques simplificado de un acumulador de fase se muestra en la figura 16.3. La operación del acumulador es como sigue, el contenido del registro de entrada se suma al del registro de salida en cada ciclo de reloj. El dato de entrada representa un paso de fase, el dato de salida es una rampa digital cuya frecuencia es una fracción de la frecuencia de reloj como se muestra en la ecuación 1 donde  $N$  es la resolución (numero de bits) del acumulador,  $N$  determina la resolución a la cual la frecuencia de salida puede ser ajustada, con el valor de fase en cada instante.

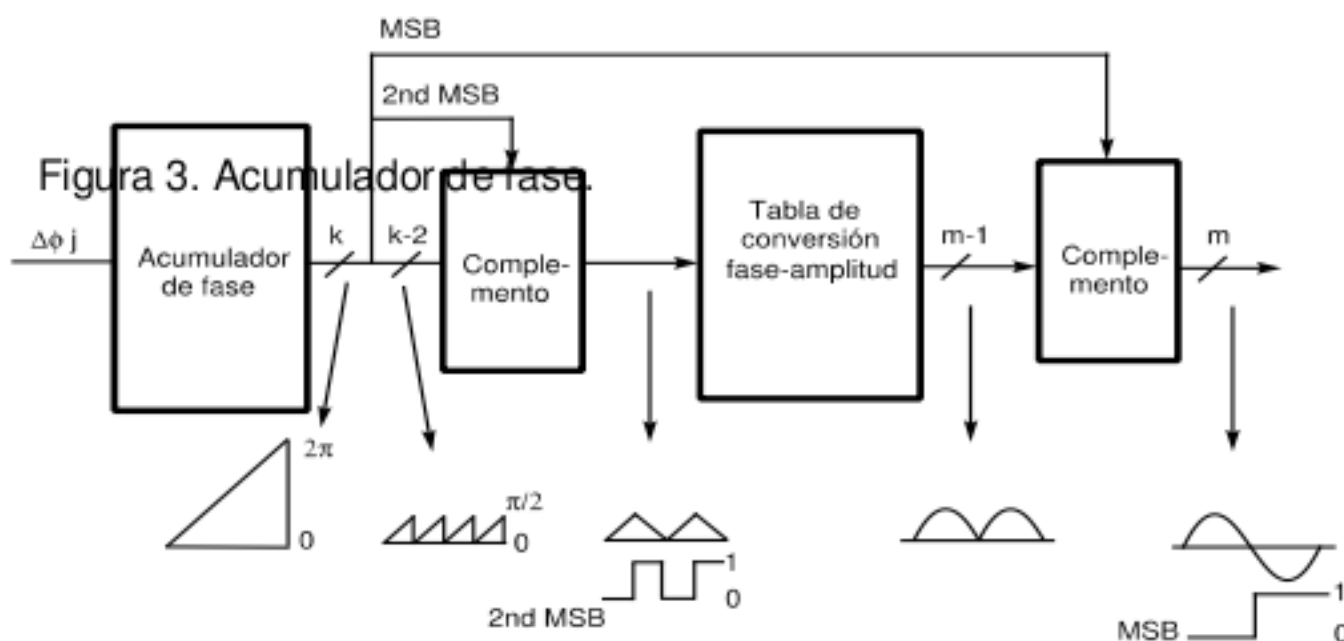
$$f = \Delta fase * f_{CLK} / 2\pi$$

$$\Delta fase \leq 2^{N-1}$$

(16)

El siguiente paso es seleccionar el tipo de señal, esto se hace con la misma máquina de estados del primer bloque en conjunto con el multiplexor, de esta manera podemos seleccionar entre las diferentes LUT (look up table) que relaciona el valor de cada ángulo de fase con el correspondiente valor de amplitud.

**Figura 16.4** Diagrama a bloques de la simetría de la función senoidal



Para la LUT que corresponde a la señal senoidal se explota la simetría de la misma permitiendo reducir considerablemente las dimensiones de la ROM [7][4], esto se ve en la figura 16.4.

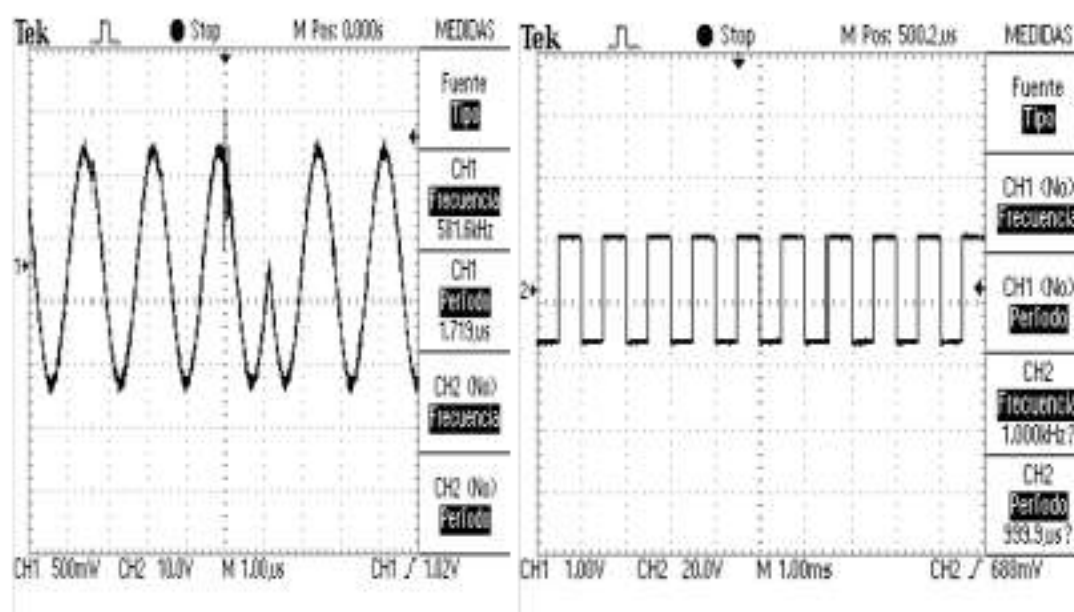
Contando con la parte digital implementada y los valores digitales de la señal a generar, el paso siguiente es convertir éstos valores digitales a formato analógico mediante un convertidor digital analógico (DAC), así también dentro de esta etapa los mismo amplificadores operacionales que dan el acoplamiento, permiten dar la ganancia necesaria. Este DAC debe de tener la misma resolución de bits, para que no se ocasione una pérdida de calidad en la señal de salida. El convertidor elegido fue el DAC2902, es un convertidor digital analógico de muy alta velocidad, con un diseño monolítico, de 12 bits, con doble canal, y es optimizado para proporcionar alto funcionamiento dinámico mientras que solamente disipa 310mW. Operando con altos índices de actualización de hasta 125MSPS, el DAC2902 ofrece funcionamiento dinámico excepcional, y permite la generación de frecuencias de salida muy altas convenientes para aplicaciones de comunicaciones. Cada DAC tiene una salida diferencial de alta impedancia.

El DAC2902 utiliza un tecnología avanzada de CMOS; la segmentación dividida de la arquitectura reduce al mínimo la energía de interferencia de salida, y maximiza el funcionamiento dinámico. Todas las entradas digitales son compatibles con una lógica de +3.3V y de +5V. El DAC2902 cuenta con un circuito interno de referencia, al igual que permite el uso de una referencia externa [6].

## 16.2 Resultados

Las pruebas realizadas muestran una excelente estabilidad en frecuencia, fase y amplitud, no se lograron realizar pruebas con el analizador de espectros pero, los antecedentes demuestran espectros limpios para el caso de las señales senoidales utilizando la arquitectura de Sunderland [5]. En las siguientes imágenes se muestra algunos oscilogramas

**Figura 16.5** Oscilogramas señal cuadrada a 1KHz y señal senoidal a 581KHz con desfasamiento



### 16.3 Conclusiones

Hoy en día, muchos de los generadores de señales que existe en los banco de prueba de los laboratorios cuenta con la técnica DDS, y es claro que los precios de estos equipos es considerablemente alto, es por ello que este trabajo puede servir muy bien como prototipo y reemplazar de manera económica a estos generadores. La DDS es una de las herramientas con mayor éxito para la generación de funciones, aportando grandes beneficios en control de amplitud, fase y frecuencia para cualquier tipo de señal, aunado, la tecnología FPGA da un excelente rendimiento, portabilidad y la reconfiguración del propio sistema. Y claro se aprovecha el paralelismo, los FPGA's exceden la potencia de cómputo de muchos dispositivos. Las limitaciones que pueden aquejar al generador están dadas por elementos externos al FPGA como la señal de reloj y el DAC. No habría ningún problema si se requiere frecuencias mayores a los 25MHz, ya que esto depende de la señal de reloj y no de la propia descripción.

### 16.4 Referencias

Pallás Areny, R. Instrumentos electrónicos básicos.

Romero T, René de Jesús (2003)Sistemas Digitales con VHDLI, Legaria Ediciones.

J.E Volder. (1995). The CORDIC trigonometric computing techniqueNegation as Failure in the Head.

Jouko, V. (1997). Methods of Mapping from Phase to Sine Amplitutde in Direct Digital SynthesisI, 1997.

H.T Nicholas, H Samueli, B. Kim,(1988) .The optimization of direct digital frequency synthesizer performance in the presence of infinite word length effectsI.

Hoja de Datos, Burr-Brown Products from Texas Instruments, DAC2902. Dual, 12-Bit,125MSPS, Digital-to-Analog converter

Yong Sin Kim, Soo Hwan Kim, Kwang-Hyun Baek ,(2000). Multiple Trigonometric Approximation of Sine-Amplitude with Small ROM Size for Direct Digital Frequency SynthesizersI